

DIALOG(R) File 351:Derwent WPI  
(c) 2003 Thomson Derwent. All rts. reserv.

014442856 \*\*Image available\*\*  
WPI Acc No: 2002-263559/ 200231

XRPX Acc No: N02-204776

Semiconductor memory test circuit, controls reading or writing of test data with respect to memory based on control signal which is output based on clock pulse count

Patent Assignee: MITSUBISHI DENKI SEMICONDUCTOR SOFTWARE (MITQ );  
MITSUBISHI ELECTRIC CORP (MITQ )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2002042493	A	20020208	JP 2000219337	A	20000719	200231 B

Priority Applications (No Type Date): JP 2000219337 A 20000719

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 2002042493	A	9		G11C-029/00	

Abstract (Basic): **JP 2002042493 A**

NOVELTY - A counter (2) outputs a count value of a clock pulse to a test data generating circuit (3). The test data generating circuit generates test data based on the count value, and imparts a reading or writing control signal to a memory (1). The reading or writing of the test data with respect to the memory is controlled based on the control signal.

USE - For testing semiconductor memory.

ADVANTAGE - A memory circuit is automatically tested, simply by inputting a clock pulse to a counter. Since the number of test mode terminals is reduced, the circuit scale of the memory testing circuit is reduced.

DESCRIPTION OF DRAWING(S) - The figure shows the component diagram of memory test circuit. (Drawing includes non-English language text).

Memory (1)

Counter (2)

Test data generating circuit (3)

pp; 9 DwgNo 1/5

Title Terms: SEMICONDUCTOR; MEMORY; TEST; CIRCUIT; CONTROL; READ; WRITING; TEST; DATA; RESPECT; MEMORY; BASED; CONTROL; SIGNAL; OUTPUT; BASED; CLOCK ; PULSE; COUNT

Derwent Class: S01; T01; U14

International Patent Class (Main): G11C-029/00

International Patent Class (Additional): G01R-031/28; G06F-012/16

File Segment: EPI

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-42493

(P2002-42493A)

(43)公開日 平成14年2月8日(2002.2.8)

(51)Int.Cl.<sup>7</sup>

G 11 C 29/00  
G 01 R 31/28  
G 06 F 12/16

識別記号

6 7 1  
3 3 0

• F I

G 11 C 29/00  
G 06 F 12/16  
G 01 R 31/28

テマコード\*(参考)

6 7 1 B 2 G 0 3 2  
3 3 0 A 5 B 0 1 8  
B 5 L 1 0 6

V

審査請求 未請求 請求項の数6 OL (全9頁)

(21)出願番号

特願2000-219337(P2000-219337)

(22)出願日

平成12年7月19日(2000.7.19)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(71)出願人 391024515

三菱電機システムエル・エス・アイ・デザイン  
イン株式会社

兵庫県伊丹市中央3丁目1番17号

(72)発明者 濱名 良征

兵庫県伊丹市中央3丁目1番17号 三菱電  
機システムエル・エス・アイ・デザイン株  
式会社内

(74)代理人 100066474

弁理士 田澤 博昭 (外1名)

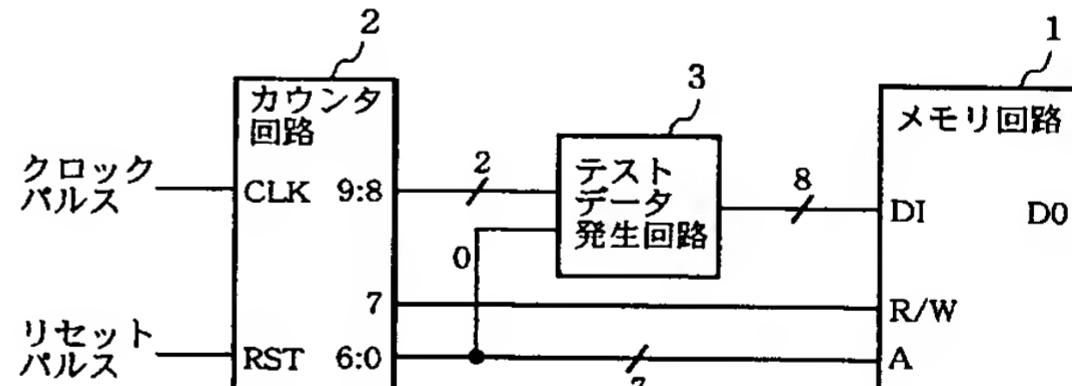
最終頁に続く

(54)【発明の名称】 メモリテスト回路

(57)【要約】

【課題】 データ入力端子、データ出力端子の数だけテストモード端子が必要になり、端子数の増加によって回路規模が大型化してしまうという課題があった。

【解決手段】 クロックパルスをカウントするカウンタ回路2のカウント値の上位2ビットと最下位ビットとをテストデータ発生回路3へ入力し、最下位ビットの値に応じて上位2ビットの反転/非反転を演算し、所要のデータビット数を満たすように反転/非反転された上位2ビットを連ねたテストデータをテストデータ発生回路3が発生し、カウンタ回路2のカウント値の下位7ビットで与えられるメモリ回路1のアドレスに対して、カウンタ回路2のカウント値の7ビット目によって書込/読出動作を制御する。



1

**【特許請求の範囲】**

**【請求項1】** クロックパルスのカウント値を出力する計数手段と、

上記カウント値からテストデータを発生するテストデータ発生手段と、

上記カウント値からアドレスおよび書込／読出制御信号が与えられ、上記書込／読出制御信号にしたがって上記アドレスに対する上記テストデータの書込／読出動作が行われるメモリ手段とを備えることを特徴とするメモリテスト回路。

**【請求項2】** テストデータ発生手段は、アドレス値の偶数／奇数に応じてカウント値の上位2ビットを反転／非反転し、上記反転／非反転した上位2ビットを連ねたテストデータを発生することを特徴とする請求項1記載のメモリテスト回路。

**【請求項3】** テストデータ発生手段は、アドレス値の偶数／奇数に応じてカウント値の上位2ビットを反転／非反転し、上記反転／非反転した上位2ビットを連ねたテストデータ期待値を読出動作の際に発生するとともに、

メモリ手段から読み出されたテストデータと上記テストデータ期待値とを比較する比較手段を備えることを特徴とする請求項1または請求項2記載のメモリテスト回路。

**【請求項4】** メモリ手段の第1のアドレスから読み出した第1のテストデータを保持する保持手段と、

上記保持手段に保持された上記第1のテストデータと、上記メモリ手段の第1のアドレスに続く第2のアドレスから読み出した第2のテストデータとを加算する加算手段と、

上記加算手段の加算結果の各ビットを論理積演算する論理演算手段とを備えることを特徴とする請求項1または請求項2記載のメモリテスト回路。

**【請求項5】** メモリ手段の第1のアドレスから読み出した第1のテストデータを保持する保持手段と、

上記保持手段に保持された上記第1のテストデータを反転する反転手段と、

上記反転手段に反転された第1のテストデータと、上記第1のアドレスに続く第2のアドレスから読み出した第2のテストデータとを比較する比較手段とを備えることを特徴とする請求項1または請求項2記載のメモリテスト回路。

**【請求項6】** メモリ手段の第1のアドレスから読み出した第1のテストデータを保持する保持手段と、

上記反転手段に反転された上記第1のテストデータと、上記第1のアドレスに続く第2のアドレスから読み出した第2のテストデータを反転する反転手段と、

上記保持手段に保持された第1のテストデータと上記反転手段に反転された第2のテストデータとを比較する比較手段とを備えることを特徴とする請求項1または請求

10

20

30

40

50

2

項2記載のメモリテスト回路。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】この発明は、半導体メモリのメモリテストを行うメモリテスト回路に係るものである。

**【0002】**

【従来の技術】図5は従来のメモリテスト回路の構成を示す図である。図5において、11はメモリテストの対象であるメモリ回路であり、複数のデータ入力端子DIおよび複数のデータ出力端子DOを有している。12は外部入力端子NIを有する内部ロジック回路、13, 14はそれぞれマルチプレクサであり、テストモード端子TESTからの切替制御信号によって入力端子A, Bを切替える。

【0003】次に動作について説明する。通常のデータを書き込む場合には、テストモード端子TESTからの切替制御信号によってマルチプレクサ13, 14はいずれも入力端子Aを選択する。通常のデータは外部入力端子NIから入力され、内部ロジック回路12, マルチプレクサ13を介してデータ入力端子DIからメモリ回路11に書き込まれる。

【0004】また、通常のデータを読み出す場合には、メモリ回路11のデータ出力端子DOから内部ロジック回路12, マルチプレクサ14を介して外部出力端子OUTへ出力される。

【0005】テストデータを書き込む場合には、テストモード端子TESTからの切替制御信号によってマルチプレクサ13, 14はいずれも入力端子Bを選択する。テストデータはテスト入力端子TIから入力され、マルチプレクサ13を介してデータ入力端子DIからメモリ回路11に書き込まれる。

【0006】また、テストデータを読み出す場合には、メモリ回路11のデータ出力端子DOからマルチプレクサ14を介して外部出力端子OUTへ出力される。

【0007】このように、従来のメモリテスト回路は、メモリテストを行う際にはマルチプレクサ13, 14を切替制御することによって、内部ロジック回路12を介さずにメモリ回路11単体のメモリテストを行うことができる。

**【0008】**

【発明が解決しようとする課題】従来のメモリテスト回路は以上のように構成されているので、データ入力端子、データ出力端子の数だけテストモード端子が必要になってしまい、端子数の増加によって回路規模が大型化してしまうという課題があった。

【0009】この発明は上記のような課題を解決するためになされたものであり、端子数を増加させることなく、メモリテストを行うことができるメモリテスト回路を構成することを目的とする。

## 【0010】

【課題を解決するための手段】この発明に係るメモリテスト回路は、クロックパルスのカウント値を出力する計数手段と、カウント値からテストデータを発生するテストデータ発生手段と、カウント値からアドレスおよび書込／読出制御信号が与えられ、書込／読出制御信号にしたがってアドレスに対するテストデータの書込／読出動作が行われるメモリ手段とを備えるようにしたものである。

【0011】この発明に係るメモリテスト回路は、アドレ<sup>10</sup>ス値の偶数／奇数に応じてカウント値の上位2ビットを反転／非反転し、反転／非反転した上位2ビットを連ねたテストデータをテストデータ発生手段が発生するようにしたものである。

【0012】この発明に係るメモリテスト回路は、アドレ<sup>20</sup>ス値の偶数／奇数に応じてカウント値の上位2ビットを反転／非反転し、反転／非反転した上位2ビットを連ねたテストデータ期待値を読出動作の際にテストデータ発生手段が発生するとともに、メモリ手段から読み出されたテストデータとテストデータ期待値とを比較する比較手段を備えるようにしたものである。

【0013】この発明に係るメモリテスト回路は、メモリ手段の第1のアドレスから読み出した第1のテストデータを保持する保持手段と、保持手段に保持された第1のテストデータと、メモリ手段の第1のアドレスに続く第2のアドレスから読み出した第2のテストデータとを加算する加算手段と、加算手段の加算結果の各ビットを論理積演算する論理演算手段とを備えるようにしたものである。

【0014】この発明に係るメモリテスト回路は、メモリ手段の第1のアドレスから読み出した第1のテストデータを保持する保持手段と、保持手段に保持された第1のテストデータを反転する反転手段と、反転手段に反転された第1のテストデータと、第1のアドレスに続く第2のアドレスから読み出した第2のテストデータとを比較する比較手段とを備えるようにしたものである。

【0015】この発明に係るメモリテスト回路は、メモリ手段の第1のアドレスから読み出した第1のテストデータを保持する保持手段と、反転手段に反転された第1のテストデータと、第1のアドレスに続く第2のアドレスから読み出した第2のテストデータを反転する反転手段と、保持手段に保持された第1のテストデータと反転手段に反転された第2のテストデータとを比較する比較手段とを備えるようにしたものである。

## 【0016】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。

実施の形態1. 図1はこの発明の実施の形態1によるメモリテスト回路の構成を示す図である。通常のデータの書込／読出動作に関する構成については図示を省略して

いる。図1において、1はメモリテストの対象となるメモリ回路（メモリ手段）である。メモリ回路1は、通常のデータやテストデータが入力されるデータ入力端子D<sub>I</sub>、データの書込／読出を制御する書込／読出制御信号が入力される制御端子R/W、データの書込／読出先のアドレスが入力されるアドレス端子Aおよび通常のデータやテストデータが出力されるデータ出力端子D<sub>O</sub>を備えている。

【0017】2はクロック端子C L Kとリセット端子R/S Tとを有するカウンタ回路（計数手段）である。カウンタ回路2は、クロック端子C L Kに入力されるクロックパルスをカウントアップし、このカウント値をnビット（ただしnは正の整数）のデータとして出力する。説明のために、図1ではn=10としてある。また、リセット端子R/S Tに入力されるリセットパルスがH i g hレベルになるとカウント値がリセットされる。

【0018】3はメモリ回路1のデータ入力端子D<sub>I</sub>に対してテストデータを与えるテストデータ発生回路（テストデータ発生手段）である。図1の場合、テストデータ発生回路3は8ビットのテストデータをデータ入力端子D<sub>I</sub>に与える。

【0019】図1に示すように、カウンタ回路2から出力されたカウント値の0～6ビット（0～n-4ビット。以下[6:0]と記す）は7ビットのアドレス信号として、カウント値の7ビット目（n-3ビット目。以下[7]と記す）は書込／読出制御信号として、メモリ回路1のアドレス端子A、制御端子R/Wにそれぞれ与えられる。

【0020】また、カウント値の上位2ビットである8, 9ビット目（n-2, n-1ビット目。以下[9:8]と記す）およびカウント値の最下位ビットである0ビット目（以下[0]と記す）は、テストデータ発生回路3に与えられる。テストデータ発生回路3は、これらの[9:8], [0]を受けてテストデータを発生する。

【0021】図2はテストデータ発生回路3のテストデータの発生パターンを説明する図である。図2に示すように、テストデータ発生回路3は、カウンタ回路2からそれぞれ与えられる上位2ビット[9:8]と最下位ビット[0]とから次のようにテストデータを発生させている。

【0022】つまり、最下位ビット[0]の値にしたがって、カウンタ回路2から入力された上位2ビット[9:8]の反転／非反転を演算し、与えるテストデータのビット数を満たすように反転／非反転された[9:8]を連ねている。[0]はアドレスの偶数／奇数を表しているので、[9:8]と同じ場合には、偶数アドレスのテストデータと奇数アドレスのテストデータとは互いに反転した値になる。

【0023】例えば図2において、[9:8] = '0

1'，[0] = '0' の場合には、[0] = '0' のことで [9:8] をそのまま所要のデータビット数（この場合8ビット）だけ連ねたテストデータ '01010101' を発生する。

【0024】また、[9:8] = '01'，[0] = '1' の場合には、[0] = '1' のので [9:8] を反転して所要のデータビット数だけ連ねたテストデータ '10101010' を発生する。テストデータ '01010101' とテストデータ '10101010' とは互いに反転した値になる。

【0025】このように、この実施の形態1では、クロックパルスをカウントするカウンタ回路2のカウント値の [9:8] および [0] から、テストデータ発生回路3が図2のようにテストデータを発生している。カウンタ回路2にはクロックパルス、リセットパルスだけが入力されるので、従来と比較して端子数が削減されていることが分かる。

【0026】次に動作について説明する。

(第1の書込動作) テスト動作が実行されると、まずカウンタ回路2のカウント値 = '0000000000' となる。このとき、[9:8] = '00'，[7] = '0'，[6:0] = '0000000' である。

【0027】この場合、メモリ回路1の制御端子R/W, アドレス端子Aには、[7] = '0'，[6:0] = '0000000' がそれぞれ与えられる。制御端子R/Wに '0' が与えられるとメモリ回路1のアドレス '0000000' へテストデータの書込動作が実行される。

【0028】テストデータ発生回路3には [9:8] = '00'，[0] = '0' が与えられるので、上位2ビットを8ビットに連ねたテストデータ '00000000' をテストデータ発生回路3が発生する。したがって、メモリ回路1のアドレス '0000000' へデータ入力端子DIからテストデータ '00000000' が書き込まれる。

【0029】クロックパルスがカウントされると、カウンタ回路2のカウント値 = '0000000001' となって、制御端子R/Wには [7] = '0'，アドレス端子Aには [6:0] = '0000001'，テストデータ発生回路3には [9:8] = '00' および [0] = '1' がそれぞれ与えられて、テストデータ '11111111' がメモリ回路1のアドレス '0000001' へ書き込まれる。

【0030】さらに、次のクロックパルスがカウントされると、カウンタ回路2のカウント値 = '0000000010' となって、制御端子R/Wには [7] = '0'，アドレス端子Aには [6:0] = '0000010'，テストデータ発生回路3には [9:8] = '00' および [0] = '0' がそれぞれ与えられて、テストデータ '00000000' がメモリ回路1のアドレ

ス '0000010' へ書き込まれる。

【0031】以下、カウンタ回路2のカウント値 = '0001111111' まで、クロックパルスのカウント毎にメモリ回路1の各アドレスへテストデータ発生回路3からテストデータが順番に書き込まれる。

【0032】(第1の読み出動作) クロックパルスのカウントが進んで、カウンタ回路2のカウント値 = '0010000000' となると、制御端子R/Wに [7] = '1' が与えられるので、メモリ回路1の各アドレスに書き込んだテストデータの読み出動作が実行される。

[6:0] = '0000000' なので、アドレス '0000000' からテストデータが読み出される。メモリ回路1が正常であれば、第1の書込動作のテストデータ '00000000' がデータ出力端子DOから読み出される。

【0033】次のクロックパルスがカウントされると、カウンタ回路2のカウント値 = '0010000001' となって、読み出動作が引き続いて実行される。

[6:0] = '0000001' なので、アドレス '0000001' からテストデータが読み出される。メモリ回路1が正常であれば、第1の書込動作のテストデータ '11111111' がデータ出力端子DOから読み出される。

【0034】さらに、次のクロックパルスがカウントされると、カウンタ回路2のカウント値 = '0010000010' となって、アドレス '0000010' からテストデータが読み出される。メモリ回路1が正常であれば、第1の書込動作のテストデータ '00000000' がデータ出力端子DOから読み出される。

【0035】以下、カウンタ回路2のカウント値 = '0011111111' まで、クロックパルスのカウント毎にメモリ回路1の各アドレスからテストデータが順番に読み出される。

【0036】(第2の書込動作) クロックパルスのカウントが進んで、カウンタ回路2のカウント値 = '010000000' となる。このとき、メモリ回路1の制御端子R/Wには [7] = '0' が与えられるので、テストデータの書込動作が実行される。第2の書込動作では [9:8] = '01'，[7] = '0'，[6:0] = '0000000'，[0] = '0' となっているので、第1の書込動作とは異なるテストデータ '01010101' がテストデータ発生回路3によって発生し、メモリ回路1のアドレス '0000000' へ書き込まれる。

【0037】次のクロックパルスがカウントされると、カウンタ回路2のカウント値 = '0100000001' となって、テストデータ '10101010' がメモリ回路1のアドレス '0000001' へ書き込まれる。さらに、次のクロックパルスがカウントされると、カウンタ回路2のカウント値 = '010000001' へ書き込まれる。

0' となって、テストデータ '01010101' がメモリ回路1のアドレス '0000010' へ書き込まれる。

【0038】以下、カウンタ回路2のカウント値= '0101111111' まで、クロックパルスのカウント毎にメモリ回路1の各アドレスへテストデータ発生回路3からテストデータが順番に書き込まれる。

【0039】(第2の読み出動作) クロックのカウントが進んで、カウンタ回路2のカウント値= '0110000000' となると [7] = '1' なので、第2の読み出動作が実行される。[6:0] = '0000000' なので、メモリ回路1が正常であれば、アドレス '0000000' からテストデータ '01010101' が読み出される。

【0040】次のクロックパルスがカウントされると、カウンタ回路2のカウント値= '0110000001' となって、アドレス '0000001' からテストデータが読み出される。メモリ回路1が正常であれば、読み出したテストデータは '10101010' である。

【0041】さらに、次のクロックパルスがカウントされると、カウンタ回路2のカウント値= '0110000010' となって、アドレス '0000010' からテストデータが読み出される。メモリ回路1が正常であれば、読み出したテストデータは '01010101' である。

【0042】以下、カウンタ回路2のカウント値= '0111111111' まで、クロックパルスのカウント毎にメモリ回路1の各アドレスからテストデータが順番に読み出される。

【0043】(第3の書き動作) クロックパルスのカウントが進んで、カウンタ回路2のカウント値= '1000000000' となる。このとき、[9:8] = '10', [7] = '0', [6:0] = '0000000', [0] = '0' であり、第1, 2の書き動作とは異なるテストデータ '10101010' が発生し、メモリ回路1のアドレス '0000000' へ書き込まれる。

【0044】以下、クロックパルスのカウント毎に、カウント値= '1000000001' のときアドレス '0000001' へテストデータ '01010101' の書き込み、カウント値= '1000000010' のときアドレス '0000010' へテストデータ '10101010' の書き込み、と繰り返され、カウント値= '1001111111' まで、第3の書き動作が実行される。

【0045】(第3の読み出動作) クロックパルスのカウントが進んで、カウンタ回路2のカウント値= '1010000000' となると第3の読み出動作が実行される。順番に、アドレス '0000000', '000

0001', '0000010', ... からテストデータがそれぞれ読み出される。

【0046】メモリ回路1が正常であれば、テストデータ '10101010', '01010101', '10101010', ... がそれぞれ読み出される。以下、カウンタ回路2のカウント値= '1011111111' まで、第3の読み出動作が実行される。

【0047】(第4の書き動作) クロックパルスのカウントが進んで、カウンタ回路2のカウント値= '1100000000' となる。このとき、[9:8] = '11', [7] = '0', [6:0] = '0000000', [0] = '0' であり、第1~3の書き動作とは異なるテストデータ '11111111' が発生し、メモリ回路1のアドレス '0000000' へ書き込まれる。

【0048】以下、クロックパルスのカウント毎に、カウント値= '1100000001' のときアドレス '0000001' へテストデータ '000000000' の書き込み、カウント値= '1100000010' のときアドレス '0000010' へテストデータ '11111111' の書き込みと繰り返され、カウント値= '1101111111' まで、第3の書き動作が実行される。

【0049】(第4の読み出動作) クロックパルスのカウントが進んで、カウンタ回路2のカウント値= '1110000000' となると第4の読み出動作が実行される。順番に、アドレス '0000000', '0000001', '0000010', ... からテストデータがそれぞれ読み出される。

【0050】メモリ回路1が正常であれば、テストデータ '1111111111', '000000000', '1111111111', ... がそれぞれ読み出される。以下、カウンタ回路2のカウント値= '1111111111' となるまで、第4の読み出動作が実行されて、メモリ回路1のテスト動作が完了する。

【0051】以上のように、この実施の形態1によれば、クロックパルスをカウントするカウンタ回路2のカウント値の [9:8] と [0] とをテストデータ発生回路3へ入力し、[0] の値に応じて [9:8] の反転/非反転を演算し、反転/非反転した [9:8] を8ビットに連ねたテストデータをテストデータ発生回路3が発生し、カウンタ回路2のカウント値の [6:0] で与えられるメモリ回路1のアドレスに対して、カウンタ回路2のカウント値の [7] によって書き/読み出動作を実行するようにしたので、テストデータを外部から印可することなく、クロックパルスを入力するだけでメモリテストの書き/読み出動作を自動で実行できるようになり、端子数を大幅に削減して回路規模を小型化することができるとともに、カウント値の変化とともにテストデータの発生パターンを変化させられるようになり、メモリテス

トの信頼性を向上させることができるという効果が得られる。

【0052】なお、カウンタ回路2はクロックパルスをカウントアップするだけでなく、カウントダウンするようにも良い。

【0053】また、テストデータの発生パターンは図2に限定されるものではなく、他の発生パターンであっても良い。

【0054】さらに、第1～4の読出動作の際にも図2と同様にカウント値からテストデータを発生させることができるので、第1～4の読出動作の際に発生したテストデータをテストデータ期待値としてテストデータ発生回路3が発生し、各アドレスから読み出したテストデータとテストデータ期待値とをコンパレータ回路などの比較手段によって比較することもできる。このようにすることで、メモリテストの判定を容易に行うことができるという効果が得られる。

【0055】実施の形態2. 実施の形態1では、各書込動作における隣接したアドレスのテストデータは互いに反転した関係にあった。このことを踏まえて、この実施の形態2では、メモリ回路1のテスト判定について説明する。

【0056】図3はこの発明の実施の形態2によるメモリテスト回路の構成を示す図である。図1と同一または相当する構成については同一の符号を付してある。図3において、4はメモリ回路1の第1のアドレスから読み出された第1のテストデータを保持するラッチ回路（保持手段）、5はラッチ回路4に保持された第1のテストデータとメモリ回路1の第1のアドレスに続く第2のアドレスから読み出された第2のテストデータとを加算する加算回路（加算手段）、6は加算回路5の加算結果の各ビットを論理積演算するm入力（mはテストデータのビット数、図3では8ビット）のAND回路（論理演算手段）である。

【0057】例えば第1の読出動作の際に、第1のアドレス‘0000000’から読み出された第1のテストデータをラッチ回路4に保持し、次の第2のアドレス‘0000001’から読み出した第2のテストデータとラッチ回路4で保持した第1のテストデータとを加算回路5で加算する。

【0058】メモリ回路1が正常であれば、アドレス‘0000000’にはテストデータ‘00000000’が、アドレス‘0000001’にはテストデータ‘11111111’が書き込まれているので、2つのテストデータを加算すると‘11111111’となり、AND回路6は‘1・1・1・1・1・1・1・1’の論理積を演算し、2つのテストデータの一致を意味する‘1’を出力する。

【0059】メモリ回路1が異常であれば、2つのテストデータを加算しても‘11111111’とはならず

にいずれかのビットに‘0’が含まれる。この場合には、AND回路6は2つのテストデータの不一致を意味する‘0’を出力する。

【0060】以上のように、この実施の形態2によれば、第1のアドレスに書き込まれた第1のテストデータを読み出して保持するラッチ回路4と、次の第2のアドレスに書き込まれた第2のテストデータを読み出して、ラッチ回路4に保持された第1のテストデータと加算する加算回路5と、加算回路5の加算結果の各ビットを論理積演算するAND回路6とを備えるようにしたので、メモリテストの判定を容易に行うことができるという効果が得られる。

【0061】実施の形態3. 図4はこの発明の実施の形態3によるメモリテスト回路の構成を示す図である。図1、3と同一または相当する構成については同一の符号を付してある。図4において、7はラッチ回路4に保持された第1のテストデータを反転するインバータ回路（反転手段）、8はインバータ回路7の反転結果とメモリ回路1の第2のアドレスから読み出された第2のテストデータとを比較するコンパレータ回路（比較手段）である。

【0062】実施の形態2ではラッチ回路4、加算回路5およびAND回路6を用いてメモリテストの判定を行うようにしたが、この実施の形態3で示すように、ラッチ回路4、インバータ回路7およびコンパレータ回路8からメモリテストの判定を行うこともできる。

【0063】例えば第1の読出動作の際に、第1のアドレス‘0000000’から読み出された第1のテストデータをラッチ回路4に保持する。第1のアドレスに続く第2のアドレス‘0000001’から読み出された第2のテストデータはコンパレータ回路8へ直接入力され、ラッチ回路4に保持された第1のテストデータはインバータ回路7によって反転されて、2つのテストデータがコンパレータ回路8によって比較される。

【0064】メモリ回路1が正常であれば、アドレス‘0000000’にはテストデータ‘00000000’が、アドレス‘0000001’にはテストデータ‘11111111’が書き込まれているので、2つのテストデータはいずれも‘11111111’となり、コンパレータ回路8は例えば2つのテストデータの一致を意味する‘1’を出力する。

【0065】メモリ回路1が異常であれば、2つのテストデータは一致しないので、この場合には、コンパレータ回路8は例えば2つのテストデータの不一致を意味する‘0’を出力する。

【0066】以上のように、この実施の形態3によれば、第1のテストデータを読み出して保持するラッチ回路4と、ラッチ回路4に保持された第1のテストデータを反転させるインバータ回路7と、次のアドレスから読み出された第2のテストデータとインバータ回路7に反

転された第1のデータとを比較するコンパレータ回路8とを備えるようにしたので、メモリテストの判定を容易に行うことができるという効果が得られる。

【0067】なお、ラッチ回路4の出力側にインバータ回路7を設けてラッチ回路4の出力を反転するようになつたが、ラッチ回路4で第1のテストデータを保持し、ラッピング回路4と並列に設けられたインバータ回路7によつて第2のテストデータを反転させ、ラッチ回路4に保持された第1のテストデータとインバータ回路7に反転された第2のテストデータとをコンパレータ回路8で比較するようにしても同様の効果が得られる。

#### 【0068】

【発明の効果】以上のように、この発明によれば、クロックパルスのカウント値を出力する計数手段と、カウント値からテストデータを発生するテストデータ発生手段と、カウント値からアドレスおよび書込／読出制御信号が与えられ、書込／読出制御信号にしたがつてアドレスに対するテストデータの書込／読出動作が行われるメモリ手段とを備えるようにしたので、クロックパルスを入力するだけでメモリ手段に対するテスト動作の書込／読出動作を自動で実行できるようになり、端子数を大幅に削減して回路規模を小型化することができるという効果が得られる。

【0069】この発明によれば、アドレス値の偶数／奇数に応じてカウント値の上位2ビットを反転／非反転し、反転／非反転した上位2ビットを連ねたテストデータをテストデータ発生手段が発生するようにしたので、カウント値の変化とともにテストデータのパターンを変化させられるようになり、メモリテストの信頼性を向上させることができるという効果が得られる。

【0070】この発明によれば、アドレス値の偶数／奇数に応じてカウント値の上位2ビットを反転／非反転し、反転／非反転した上位2ビットを連ねたテストデータ期待値を読出動作の際にテストデータ発生手段が発生するとともに、メモリ手段から読み出されたテストデータとテストデータ期待値とを比較する比較手段を備えるようにしたので、メモリテストの判定を容易に行うことができるという効果が得られる。

【0071】この発明によれば、メモリ手段の第1のアドレスから読み出した第1のテストデータを保持する保持手段と、保持手段に保持された第1のテストデータ

と、メモリ手段の第1のアドレスに続く第2のアドレスから読み出した第2のテストデータとを加算する加算手段と、加算手段の加算結果の各ビットを論理積演算する論理演算手段とを備えるようにしたので、メモリテストの判定を容易に行うことができるという効果が得られる。

【0072】この発明によれば、メモリ手段の第1のアドレスから読み出した第1のテストデータを保持する保持手段と、保持手段に保持された第1のテストデータを反転する反転手段と、反転手段に反転された第1のテストデータと、第1のアドレスに続く第2のアドレスから読み出した第2のテストデータとを比較する比較手段とを備えるようにしたので、メモリテストの判定を容易に行うことができるという効果が得られる。

【0073】この発明によれば、メモリ手段の第1のアドレスから読み出した第1のテストデータを保持する保持手段と、反転手段に反転された第1のテストデータと、第1のアドレスに続く第2のアドレスから読み出した第2のテストデータを反転する反転手段と、保持手段に保持された第1のテストデータと反転手段に反転された第2のテストデータとを比較する比較手段とを備えるようにしたので、メモリ手段のテスト判定を容易に行うことができるという効果が得られる。

#### 【図面の簡単な説明】

【図1】この発明の実施の形態1によるメモリテスト回路の構成を示す図である。

【図2】テストデータ発生回路のテストデータの発生パターンを説明する図である。

【図3】この発明の実施の形態2によるメモリテスト回路の構成を示す図である。

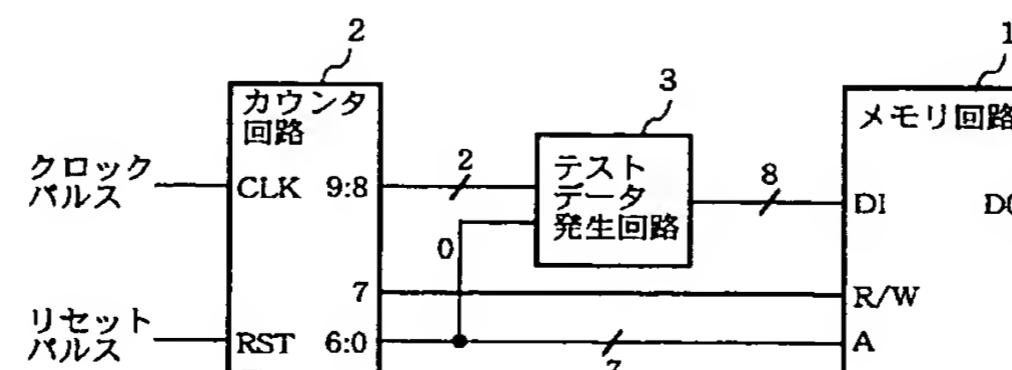
【図4】この発明の実施の形態3によるメモリテスト回路の構成を示す図である。

【図5】従来のメモリテスト回路の構成を示す図である。

#### 【符号の説明】

1 メモリ回路（メモリ手段）、2 カウンタ回路（計数手段）、3 テストデータ発生回路（テストデータ発生手段）、4 ラッチ回路（保持手段）、5 加算回路（加算手段）、6 AND回路（論理演算手段）、7 インバータ回路（反転手段）、8 コンパレータ回路（比較手段）。

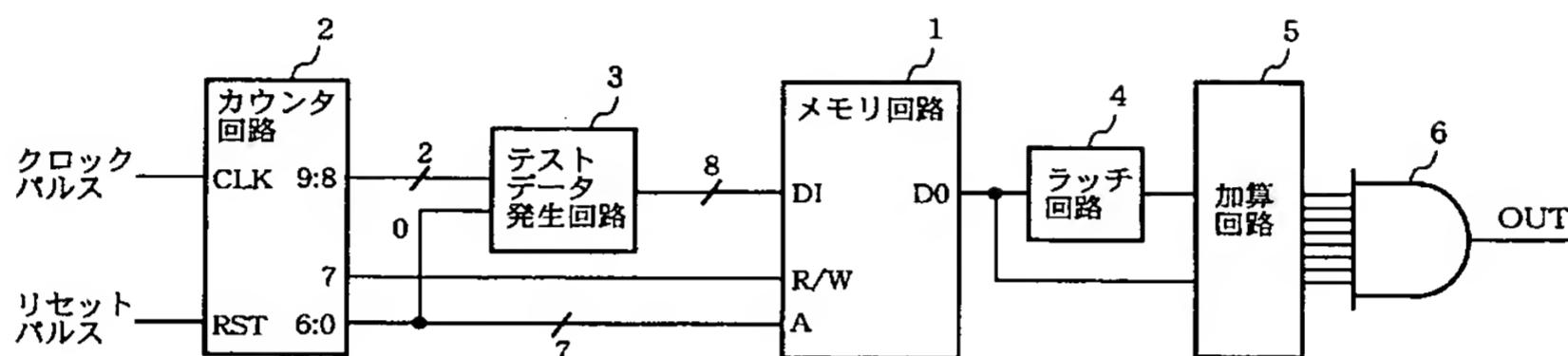
【図1】



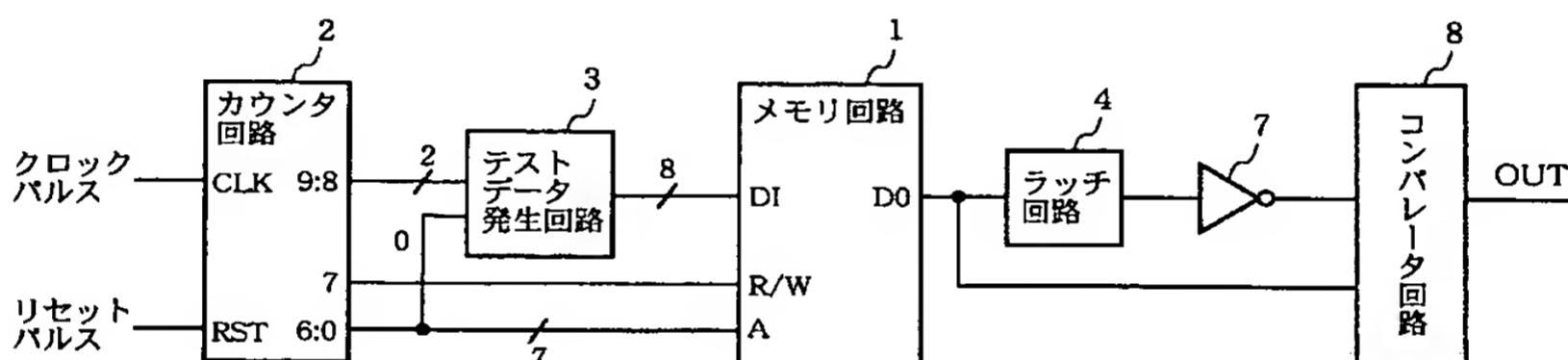
【図2】

上位ビット 最下位ビット	0の時 (偶数アドレス)	1の時 (奇数アドレス)
00の時	00000000	11111111
01の時	01010101	10101010
10の時	10101010	01010101
11の時	11111111	00000000

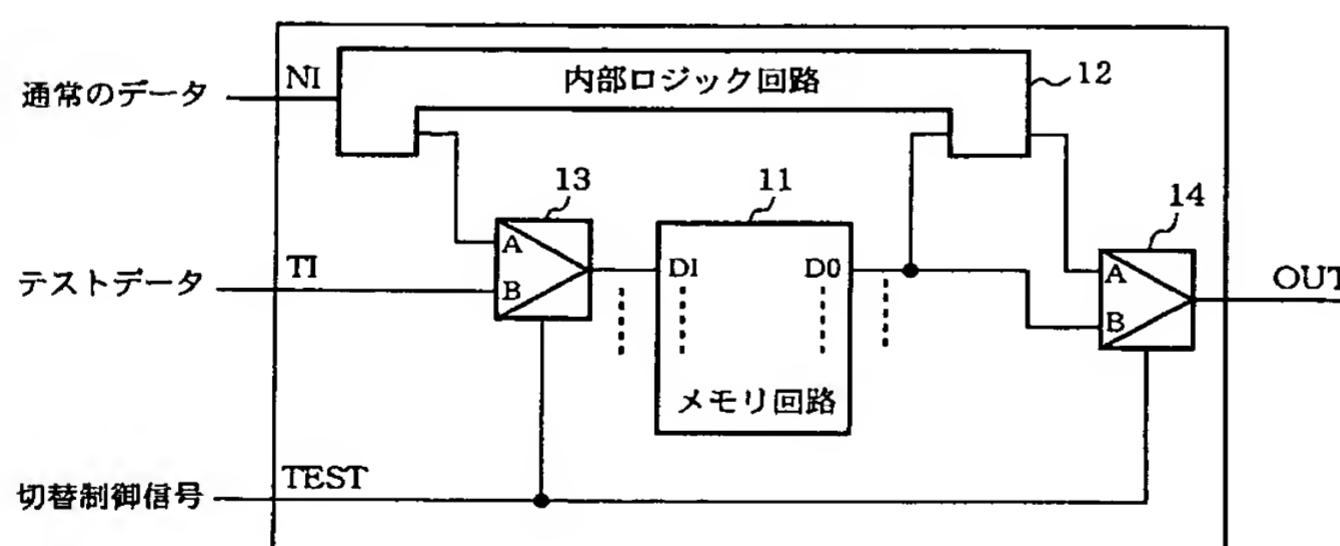
【図3】



【図4】



【図5】



フロントページの続き

(72)発明者 林 千恵子

兵庫県伊丹市中央3丁目1番17号 三菱電  
機システムエル・エス・アイ・デザイン株  
式会社内

(72)発明者 野尻 誠

兵庫県伊丹市中央3丁目1番17号 三菱電  
機システムエル・エス・アイ・デザイン株  
式会社内

(72)発明者 藤宮 教雄  
兵庫県伊丹市中央3丁目1番17号 三菱電  
機システムエル・エス・アイ・デザイン株  
式会社内

F ターム(参考) 2G032 AA07 AG01 AG07 AK11 AK15  
AL05  
5B018 GA03 JA12 QA13  
5L106 DD22 DD23 EE02